

(43) Date of publication of application: **07.02.86**

(72) Inventor: MORISHITA JO
TENMA TSUTOMU
KIMURA YOSHINORI
SHIYUDO MASAMICHI

(57) Abstract:

CONSTITUTION: A PSU monitor of the 2nd information processor PSU20 starts a task A60 to the 1st information processor IPU10, an object program is read from a data storage device IM30 and loaded sequentially to internal memories IPP11-1, 11-2...11-n of the IPU10. When the load is finished, the IPU10 attains automatic processing by using the start data added at the end of the object program. When the processing is finished, the IPU10 informs the end of processing to the PSU20. Then the PSU20 starts a task B61 to the IPU10 and a task B62 to the PSU20, the IPU10 and the PSU20 access the IM30 and attain processing entirely independently. Both tasks are executed in parallel asynchronously and when they are finished, it is informed to the PSU20 and then a task D63 is started.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-28164

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)2月7日

G 06 F 15/62

6619-5B

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 画像処理装置

⑯ 特 願 昭59-148919

⑰ 出 願 昭59(1984)7月18日

特許法第30条第1項適用 昭和59年3月5日 社団法人電子通信学会発行の昭和59年度電子通信学会総合全国大会講演論文集(5)に発表

⑱ 発 明 者	森 下 丈	東京都港区芝5丁目33番1号	日本電気株式会社内
⑱ 発 明 者	天 満 勉	東京都港区芝5丁目33番1号	日本電気株式会社内
⑱ 発 明 者	木 村 嘉 則	東京都港区芝5丁目33番1号	日本電気株式会社内
⑱ 発 明 者	首 藤 正 道	東京都港区芝5丁目33番1号	日本電気株式会社内
⑲ 出 願 人	日本電気株式会社	東京都港区芝5丁目33番1号	
⑳ 代 理 人	弁理士 内 原 晋		

明 細 書

発明の名称 画像処理装置

特許請求の範囲

データ駆動方式により制御され並列性のある処理を実行する第一の情報処理手段と、この第一の情報処理手段を制御するとともに並列性の少ない逐次的な処理を実行する第二の情報処理手段と、処理対象となる画像データ及び前記第一、第二の情報処理手段の処理プログラムを蓄積するとともに画像処理のための共通の作業バッファとして前記第一、第二の情報処理手段に共通して用いられる記憶手段と、前記二つの情報処理手段と記憶手段とをバスで結合し、このバスに対する前記第一、第二の情報処理手段からのアクセスを制御するバス制御手段とを含むことを特徴とする画像処理装置。

発明の詳細な説明

(産業上の利用分野)

本発明は、二次元状に配列された画像データを処理する画像処理装置に関する。

(従来技術とその問題点)

人工衛星、飛行機等から撮影した画像を処理するリモートセンシング画像処理、コンピュータ断層写真、レントゲン写真等を処理する医用画像処理、組み立て、検査等を行う産業用ロボットの視覚画像処理及びオフィスオートメーションシステムにおけるドキュメント画像処理等に見られるように、近年デジタル画像処理技術の応用分野が様々な分野に広がってきており、その処理内容も多種多様になってきている。

一般に、様々な処理アルゴリズムを適用して画像処理を行う場合には汎用コンピュータが用いられる。しかしながら汎用コンピュータは、様々なアルゴリズムの適用に対してはプログラムを変更することにより柔軟に対応できるが、処理の実行に関しては画素単位に逐次的に処理を行うため処理

速度が遅いという欠点があった。そこで、処理の高速化のために、専用ハードウェアが用いられる。これは、二次元状に配列された多量のデータに対し同じ処理を繰り返し適用するような処理が多いという画像処理の特徴を利用して高速化を図っている。専用ハードウェアは処理速度は速いが、処理がハード的に固定化されアルゴリズムの変更に対して融通がきかず、また装置の規模が大きくなりコストが高くなるという欠点があった。この両者の欠点を補い、処理アルゴリズムの変化に対して柔軟に対処できるような、並列性のある処理を実行する手段と、その処理を助けまた逐次的な処理を独立に実行する手段とがメモリを共有し効率的に、高速に動作する装置はなかった。

(発明の目的)

本発明の目的は、前述したような従来の方法の欠点を除去し、様々なアルゴリズムの適用に対し柔軟に対応でき、処理速度が高速で、且つ小型、低価格な画像処理装置を提供することにある。

処理手段20(以降PSUと呼ぶ)と、両情報処理手段に共通的に利用されるデータ記憶手段30(以降IMと略す)とをメモリバス40で結合した構成を持っている。さらに、メモリバスはバス制御手段50(以降MBAと呼ぶ)を持ち、このMBA50は、IPU10、PSU20から独立に発生するIM30へのアクセスに関し、処理の種類によって変化する両処理手段からIM30へのアクセスをその頻度に応じて優先度を制御できるように構成している。

IPU10は例えばデータフロー型のイメージ・パイプライン・プロセッサLSI(1984年IEEE国際会議・ソリッドステート・サーキット・コンファレンス PP208~209記載のVLSIイメージ・パイプライン・プロセッサIPP)を複数個リング状に結合して構成される。

PSU20は汎用のマイクロプロセッサと、このマイクロプロセッサだけが利用できるローカルなデータ記憶手段(以降LMと呼ぶ)を持ち、その中には本発明の装置の制御を行うシステム制御プ

(発明の構成)

本発明によれば、データ駆動方式により制御され並列性のある処理を実行する第一の情報処理手段と、この第一の情報処理手段を制御するとともに並列性の少ない逐次的な処理を実行する第二の情報処理手段と、処理対象となる画像データ及び前記第一、第二の情報処理手段の処理プログラムを格納するとともに画像処理のための共通の作業バッファとして前記第一、第二の情報処理手段に共通して用いられる記憶手段と、前記二つの情報処理手段と記憶手段とをバスで結合し、このバスに対する前記第一、第二の情報処理手段からのアクセスを制御するバス制御手段とを含むことを特徴とする画像処理装置が得られる。

(構成の詳細な説明)

本発明の画像処理装置は、第1図に示すようにデータ駆動方式により制御され並列性のある処理を実行する第一の情報処理手段10(以降IPUと呼ぶ)と、並列性の少ない逐次的な処理を実行するとともにシステムの動作を制御する第二の情報

プログラム(以降PSUモニタと呼ぶ)を格納している。PSUモニタはIPU10において実行される画像処理タスクとPSU20において実行される画像処理タスクの起動をデータ駆動的に制御する機能を持っている。

IM30は大容量のイメージメモリであり、主に処理対象となる画像データの格納に使われるとともにIPU10、PSU20において実行される処理プログラムの一時記憶及び処理に必要なテーブル、作業バッファとして使用される。

(実施例)

以下本発明の一実施例について図面を参照して詳細に説明する。

第2図は本発明の画像処理装置の一実施例を示すブロック図であり、第1図に示したIPU10、PSU20をさらに詳細に示している。この装置の上で第3図に示すような流れを持った処理がどのように実行されるかを示すことにより本発明の動作を説明する。尚、処理が開始される前にIM30には処理対象となる画像データ、IPU10で処理

されるタスクA60, B61, D63, 及びPSU20で処理されるタスクC62のオブジェクトプログラムがあらかじめロードされているものとする。

処理の起動が行われるとPSU20のLM22内にあるPSUモニタは、IPU10に関する最初の処理タスクであるタスクA60の起動を行う。起動が行われると、始めにIM30からタスクA60のオブジェクトプログラムが読み出され、IPU10を構成するIPP11-1, 11-2, 11-3, …… 11-nの内部プログラムメモリに順次ロードされる。IPPへのロードが終了すると、オブジェクトプログラムの最後に付加された起動データによりIPU10は自動的に処理を開始する。一度処理を開始すると、あらかじめロードされたプログラムが終了するまで、IPU10はPSU20とは全く独立にIM30をアクセスしながら処理を続ける。IPU10はタスクA60の処理が終了するとPSU20のPSUモニタに処理の終了を通知する。処理の終了は、IPU10がPSU20に割り込みをかけるか、IPU10がIM30のある定められた領域にフラグ

をセットし、PSU20がポーリングを行ってフラグのチェックをすることにより通知することができる。PSUモニタはタスクA60の終了を知ると、次に実行可能な処理であるタスクB61とタスクC62との二つのタスクの発火を行う。IPU10に対するタスクB61はPSUモニタからの起動により前述したタスクA60と同様にロードされ実行される。またPSU20に関する処理タスクであるタスクC62については、PSUモニタからの起動により、IM30に格納されているオブジェクトプログラムがLM22にロードされ実行される。IPU20とPSU10とは全く独立にメモリバス40を介してIM30をアクセスしながら処理を続ける。従って、両タスクは並列に処理を実行しその終了は全く非同期にPSUモニタに通知される。両タスクの処理が終了するとタスクD63の実行が可能となるので、処理の終了が両方ともPSUモニタに通知されるとPSUモニタはタスクD63の起動を行う。タスクD63はタスクA60, タスクB61と同様にロードされ実行される。このように、

PSUモニタは一度プログラムの実行が起動されると、あとは現在実行中のタスクの終了を待ち、あるタスクが終了するとその終了によって実行が可能となったタスクを順次起動していくような、すなわちタスクレベルでのデータ駆動的な実行制御を行う。

IM30は各処理の中でIPU10, PSU20から全く非同期にアクセスされる。さらにそのアクセスの頻度はIPU10, PSU20で実行される処理の種類に依存して変化する。従って処理の効率化を図るために、MEA50はIPU10, PSU20からIM30へのアクセスに対しアクセスの優先度を幾つかのモードに分け、PSU20からプログラムでモードを選択することにより、アクセスの優先権の割り当てをダイナミックに変えることができるように構成している。第4図を用いてアクセスの優先権の割り当て機構を説明する。51はラッチでありメモリバスのアクセススロット毎に発生されるクロックによってIPU10及びPSU20からのメモリアクセスのリクエスト信号RQ1, RQ2

をラッチする。52はROM(リード・オンリー・メモリ)でありラッチ51の出力とPSU20によりセットされるモードレジスタ53の出力とをアドレスとしてアクセスの許可信号GRT1, GRT2を出力する。ROM52の中には各アドレスすなわち各入力状態(例では8状態)のときにどれにアクセス許可を与えるかを割り当てたパターンを、例えば第5図に示すようなパターンを書き込んでおく。このようにすることによって、アクセス要求が片方からしかない場合は、要求のあった方へ、また両方から要求があった場合はモードによって優先権を高く割り当てられた方にアクセス権が与えられる。

IPP11-1~11-nは前記文献に記載のように、データ駆動アーキテクチャを用いたパイプライン・プロセッサであり、プロセッサ内部に構成されたパイプラインリングにおける処理の並列性によって高速化を図っている。入力されたデータはこのパイプラインリングを周回しながら処理されて出力される。このパイプラインリングにおけ

る処理は、プロセッサの内部メモリにあらかじめロードされるプログラムにより制御される。従って、利用者は様々な処理アルゴリズムに合わせて柔軟にパイプラインを構成できる。一方、IPU 10はこのIPPを複数個リング状に結合したマルチプロセッサ構成をとっている。プロセッサの数分だけパイプラインの並列性が上っておりIPP 1個の場合よりもさらに高速化が図られている。また、IPP 1個の内部メモリには入りきらないような長いプログラムも実行できるようになっている。

(発明の効果)

以上述べたように、本発明によればIPU 10、PSU 20、IM 30及びMBA 50とこれらを結合するメモリバス 40という非常に簡単な構成により、小型で低価格な、さらにPSUモニタによるデータ駆動的なタスクの制御によりタスクレベルでの効率的な処理を行い、メモリバスにおける処理の種類に応じたダイナミックなアクセス優先権の制御及びIPU 10におけるパイプライン並列

処理によって処理の高速化を図った。またさらにIPPのようなプログラマブルなプロセッサを用いることにより、様々な処理アルゴリズムに対して柔軟に対応できる高性能な画像処理装置が得られる。

また、本発明の装置は画像処理ばかりではなく線図形処理、数値演算処理における繰り返しの多い処理の高速化にも容易に適用できる。

図面の簡単な説明

第1図は本発明の画像処理装置の構成を示すブロック図、第2図は第1図のIPU部とPSU部とをさらに詳細に示したブロック図、第3図は処理の一例を示すフロー、第4図はバス制御手段の優先権の割り当て機構を示す図、第5図は優先権割り当て機構のROMの内容を示す図である。図において、10は第一の情報処理手段、11-1~11-nはパイプラインプロセッサ、12はバスインターフェイス、20は第二の情報処理手段、21は汎用のマイクロプロセッサ、22はローカルなデー

タ記憶手段、30はイメージメモリ、40は高速バス、50はバス制御手段、51はラッチ、52はROM、53はレジスタである。

代理人 弁理士 内原 晋



第1図

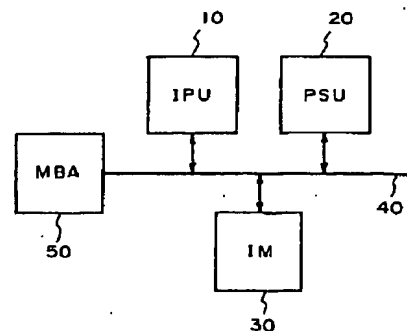


図2

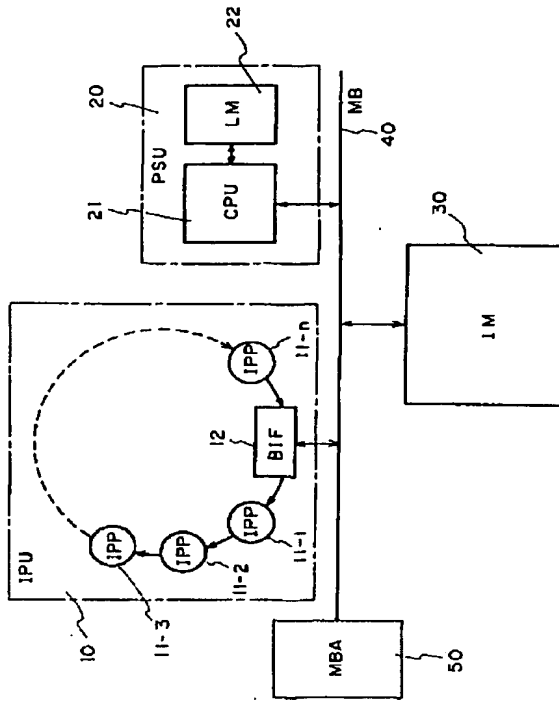


図3

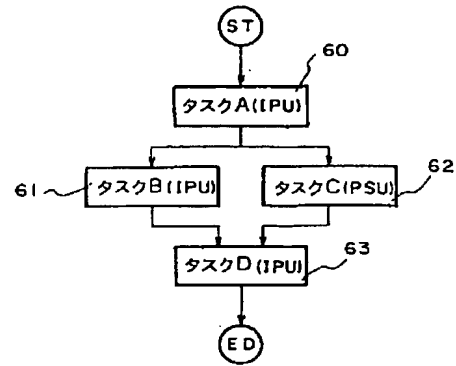


図4

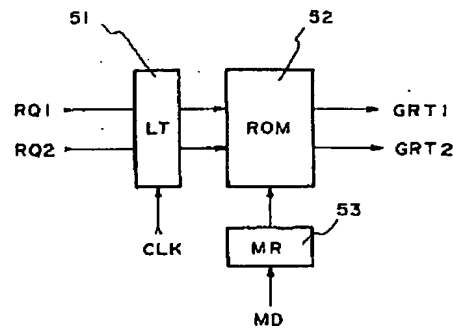


図5

アドレス			データ	
RQ1	RQ2	MD	GRT1	GRT2
0	0	0	0	0
0	0	1	0	0
0	1	0	0	1
0	1	1	0	1
1	0	0	1	0
1	0	1	1	0
1	1	0	1	0
1	1	1	0	1